

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 9月 3日
Date of Application:

出願番号 特願2003-311430
Application Number:

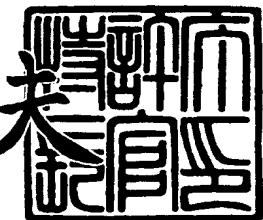
[ST. 10/C] : [JP 2003-311430]

出願人 沖電気工業株式会社
Applicant(s):

2003年11月27日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 MA001439
【提出日】 平成15年 9月 3日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 27/04
【発明者】
【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
【氏名】 市川 憲治
【特許出願人】
【識別番号】 000000295
【氏名又は名称】 沖電気工業株式会社
【代理人】
【識別番号】 100083840
【弁理士】
【氏名又は名称】 前田 実
【選任した代理人】
【識別番号】 100116964
【弁理士】
【氏名又は名称】 山形 洋一
【手数料の表示】
【予納台帳番号】 007205
【納付金額】 21,000円
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9003703
【包括委任状番号】 0101807

【書類名】特許請求の範囲**【請求項 1】**

第1のゲート電極と、第1の不純物拡散層とを備える第1のMOSトランジスタ群と、

前記第1のゲート電極と並列に配置された第2のゲート電極と、第2の不純物拡散層とを備える第2のMOSトランジスタ群と、

前記第1のMOSトランジスタ群と前記第2のMOSトランジスタ群との間に配置され、入力信号が印加される入力信号配線と、

前記第1の不純物拡散層上、及び前記第2の不純物拡散層上に延在し、前記第1及び第2のゲート電極と前記入力信号配線とを電気的に接続する導電部と

を有することを特徴とする半導体装置。

【請求項 2】

前記第1及び前記第2の不純物拡散層内の各々において、前記第1のゲート電極、若しくは、前記第2のゲート電極と所定間隔離れた位置に、シリサイド層が形成されることを特徴とする請求項1記載の半導体装置。

【請求項 3】

前記導電部は、前記第1のゲート電極および前記第2のゲート電極と同一層に形成され、前記第1のゲート電極から前記第2のゲート電極まで延在することを特徴とする請求項1記載の半導体装置。

【請求項 4】

更に、前記導電部と前記入力信号配線との間に層間絶縁層を設けると共に、該層間絶縁層に、前記導電部と前記入力信号配線とを電気的に接続するコンタクトを設けたことを特徴とする請求項1乃至3の何れかに記載の半導体装置。

【請求項 5】

第1及び第2のMOSトランジスタ群を有し、前記第1及び第2のMOSトランジスタ群の各々が、互いに略並行に配設されたゲート電極と、第1及び第2の不純物拡散層と、前記第1及び第2の不純物拡散層のうちの前記ゲート電極の近傍以外の領域に形成されたシリサイド層とを有する半導体装置において、

前記各ゲート電極から少なくとも前記不純物拡散層上に延在する導電部と、

少なくとも前記ゲート電極及び不純物拡散層を覆う層間絶縁層と、

前記層間絶縁層上に形成され、入力信号が印加される入力信号配線と、

前記層間絶縁層に形成され、前記入力信号配線と前記導電部とを直接又は間接的に電気的に接続するコンタクト

を有し、

前記コンタクトを前記ゲート電極及び不純物拡散層を含む活性領域外に形成したことを特徴とする半導体装置。

【請求項 6】

前記第1及び第2のMOSトランジスタ群間に素子分離層を設け、該素子分離層に沿ってその上方に前記信号入力配線を形成すると共に、前記導電部を、前記ゲート電極から前記不純物拡散層上及び前記素子分離層上に延在し、且つ前記ゲート電極の幅方向の互いに異なる複数の位置に結合された複数の結合部によって構成し、前記コンタクトを前記素子分離層上において、前記複数の結合部と前記入力信号配線とを接続するように複数形成したことを特徴とする請求項4又は5記載の半導体装置。

【請求項 7】

前記導電部が、前記ゲート電極から前記不純物拡散層上に延在し、且つ前記ゲート電極の幅方向の互いに異なる複数の位置に結合された複数の結合部と、一対の前記ゲート間の前記活性領域から該活性領域外まで前記ゲート電極と平行に延在し、前記複数の結合部と結合された配線部とからなることを特徴とする請求項5記載の半導体装置。

【請求項 8】

前記ゲート電極及び導電部がポリシリコンで形成されたことを特徴とする請求項1乃至7の何れかに記載の半導体装置。

【請求項 9】

前記導電部上にシリサイド層を形成したことを特徴とする請求項1乃至8の何れかに記載の半導体装置。

【請求項 10】

出力回路に用いられる第1のトランジスタと内部回路に用いられる第2のトランジスタとを含む半導体集積回路装置において、

前記1のトランジスタを請求項1乃至9の何れかに記載の半導体装置で構成し、前記第2のトランジスタをサリサイド型MOSトランジスタで構成したことを特徴とする半導体集積回路装置。

【書類名】明細書

【発明の名称】半導体装置及び半導体集積回路装置

【技術分野】

【0001】

本発明は、半導体装置及び半導体集積回路装置に関し、特に半導体集積回路装置の出力回路として形成される静電破壊防止の対策が施された半導体装置の構造に関する。

【背景技術】

【0002】

従来、この種の半導体装置として、例えば、シリコン基板の半導体層上にゲート絶縁層を介して形成されたゲート電極、アクティブ領域の半導体層に形成された、ソース領域またはドレイン領域を構成する不純物拡散層、及びアクティブ領域に存在するゲート電極上に形成された複数のコンタクト部を有し、前記不純物拡散層上にシリサイド層を有さないものが知られている。（例えば、特許文献1参照）。

【特許文献1】特開2001-189429号公報（第1頁、図3）。

【発明の開示】

【発明が解決しようとする課題】

【0003】

上記した複数のコンタクト部を介して、ゲート電極に沿ってその上方に配置される金属配線層とゲート電極とを複数箇所で接続することにより、見かけ上のゲート抵抗を小さくすることができる。しかしながら、接続するためのコンタクト部をゲート電極上に形成する際に、形成時のストレスがゲート絶縁層に与える影響を回避するため、更にはエッチングによってゲート絶縁層を破壊するのを防ぐためのパッド状の絶縁層を、コンタクト部が形成される領域のゲート電極の下部に設けている。このため構造が複雑となり、レイアウト設計が複雑化してしまう問題があった。

【0004】

本発明の目的は、上記の問題点を解消し、装置の高速化、低消費電力化に優れると共に静電破壊が生じにくく、且つ、ゲート抵抗を低くできてレイアウト設計が比較的容易な半導体装置及び半導体集積回路装置を提供することにある。

【課題を解決するための手段】

【0005】

本発明による半導体装置は、第1のゲート電極と、第1の不純物拡散層とを備える第1のMOSトランジスタ群と、前記第1のゲート電極と並列に配置された第2のゲート電極と、第2の不純物拡散層とを備える第2のMOSトランジスタ群と、前記第1のMOSトランジスタ群と前記第2のMOSトランジスタ群との間に配置され、入力信号が印加される入力信号配線と、前記第1の不純物拡散層上、及び前記第2の不純物拡散層上に延在し、前記第1及び第2のゲート電極と前記入力信号配線とを電気的に接続する導電部とを有することを特徴とする。

【0006】

また別の発明による半導体装置は、第1及び第2のMOSトランジスタ群を有し、前記第1及び第2のMOSトランジスタ群の各々が、ゲート電極と、第1及び第2の不純物拡散層と、前記第1及び第2の不純物拡散層のうちの前記ゲート電極の近傍以外の領域に形成されたシリサイド層とを有する半導体装置において、

前記各ゲート電極から少なくとも前記不純物拡散層上に延在する導電部と、少なくとも前記ゲート電極及び不純物拡散層を覆う層間絶縁層と、前記層間絶縁層上に形成され、入力信号が印加される信号入力配線と、前記層間絶縁層に形成され、前記信号入力配線と前記導電部とを電気的に接続するコンタクトを有し、

前記コンタクトを前記ゲート電極及び不純物拡散層を含む活性領域外に形成したことを特徴とする。

【0007】

更に別の発明による半導体集積回路装置は、出力回路に用いられる第1のトランジスタ

と内部回路に用いられる第2のトランジスタとを含む半導体集積回路装置において、

前記1のトランジスタを上記半導体装置で構成し、前記第2のトランジスタをサリサイド型MOSトランジスタで構成したことを特徴とする。

【発明の効果】

【0008】

本発明によれば、静電気放電（ESD）耐性に優れ、且つゲート抵抗を低く抑えてゲート遅延時間の増大を抑制すると共に、レイアウト設計が比較的容易であって、しかもゲート電極下の酸化膜を破壊してしまう恐れのない半導体装置、及びこの半導体装置を出力回路に用いた半導体集積回路装置を提供することができる。

【発明を実施するための最良の形態】

【0009】

本発明を説明する前に、先ず本発明がなされた技術的背景について、その概要を記述する。

【0010】

近年、LSIの高速化、低消費電力化に優れるSOI（Silicon On Insulator）デバイスの開発が進んでいるが、このSOIデバイスにおいても特にサリサイドプロセスが主流となっている。サリサイド（SALICIDE:Self-Aligned Silicide）とは、シリコンと金属の化合物であるシリサイドを不純物拡散層及びポリシリコン上に形成する技術である。

【0011】

図5は、SOI基板上に作製したサリサイド型NMOSトランジスタ100の要部構成を示し、同図（a）はその平面図であり、同図（b）は、同図（a）中のA-A線に沿った要部断面図である。

【0012】

P型半導体基板101上に埋め込み酸化膜102を有するSOI基板上に、MOSプロセスでNMOSトランジスタが作られている。

【0013】

ソース（又はドレイン）領域103とドレイン（又はソース）領域104による不純物拡散層及びポリシリコンで形成されたゲート電極105上の全体にそれぞれ抵抗の低いシリサイド106、107、108が形成されている。これらのシリサイドの上には層間絶縁層115が形成されており、層間絶縁層115には、この層上に形成される図示しないメタル配線とシリサイド106、107を接続するコンタクト116が形成されている。

【0014】

通常このようなサリサイド型トランジスタは、ESD（Electro-Static Discharge；静電気放電）に対して非常に弱い。何故なら、ESDによるサージ電流がドレインまたはソースの上層にあたる抵抗の低いシリサイド層を流れ、ブレークダウン後の大電流のストレスがPN接合表面部領域110又は111に集中し、接合破壊を引き起こし易くなるからである。このサージ電流は、以下のようにして発生する。

【0015】

例えば、NMOSトランジスタの場合、ドレインに正極のESDによるサージ電圧が印加されると、ドレイン領域（N⁺）-ボディ領域（P⁻）間がブレークダウンを起こし、ホールがボディ領域内に蓄積することで、ボディ領域の電位が上昇する。ボディ領域（P⁻）-ソース領域（N⁺）間のPN接合の電位障壁を越えるまでボディ領域の電位が持ち上がると、ドレイン領域（N⁺）-ボディ領域（P⁻）-ソース領域（N⁺）で構成される寄生NPNバイポーラトランジスタがターンオンし、ドレインからソースにバイポーラ電流としてESDサージ電流が流れるのである。

【0016】

このようなESDによる素子破壊を防止するために、サリサイドブロック型NMOSトランジスタが提案されている。図6は、このサリサイドブロック型NMOSトランジスタ130の要部構成を示し、同図（a）はその平面図であり、同図（b）は、同図（a）中のB-B線に沿った要部断面図である。尚、図5のサリサイド型NMOSトランジスタ1

00と実質的に共通する部分には同符号を付している。

【0017】

このサリサイドブロック型NMOSトランジスタ130は、シリサイドを形成する際に、ゲート電極105と、ソース（ドレイン）133及びドレイン（ソース）134の、ゲート電極105側のゲート電極近傍の各一部領域を含むサリサイドブロック領域139にサリサイドブロックを形成し、この領域にシリサイドが形成されないようにしたトランジスタである。

【0018】

このように構成することにより、ESDによるサージ電流が不純物拡散層内で一部に集中することなく比較的均等に流れ電界集中を起こさないこと、更にドレインおよびソース内の上層にシリサイドが形成されていない部分の不純物拡散層の抵抗成分で高いESDサージ電圧に電圧降下が起こり、PN接合へのストレスが小さくなること、によりESD耐性が飛躍的に向上する。

【0019】

尚、ドレインとソースの両方にサリサイドブロック領域を設けているのは、ウェルとソースが同電位でソース側のPN接合でのブレークダウンが起こらないバルク（Bulk）基板を用いたプロセスと異なり、SOIデバイスでは、埋め込み酸化膜とフィールド酸化膜による完全素子分離構造とした場合、ESDサージの極性によりソース側でのブレークダウンによるPN接合破壊が懸念されるからである。また、PMOSトランジスタでも同様のことが言える。

【0020】

以上のように、ESD耐性に優れたサリサイドブロック型トランジスタは、例えば、半導体集積回路装置としてのLSI内において、最終段出力トランジスタとして用いられる。図8は、LSI140内において、出力回路の最終段出力トランジスタとして用いられるサリサイドブロック型NMOSトランジスタ144の回路構成上の位置を示す要部回路図である。

【0021】

同図に示すようにサリサイドブロック型NMOSトランジスタ144は、同じくサリサイドブロック型PMOSトランジスタ143と共にプッシュプルの出力回路を構成し、ドレインがLSI140の出力端子142に接続されている。またドレインと出力端子142を結ぶ配線経路には、保護回路141が配設されている。

【0022】

このように構成されることにより、出力端子142にESDサージが印加された場合にも、ESD耐性に優れたサリサイドブロック型トランジスタ143、144は破壊されることが無く、一方、内部回路145内のトランジスタは保護回路141によって保護される。従って、内部回路145を構成する各トランジスタには、前記した図5に示すようなサリサイド型のMOSトランジスタを使用することができる。

【0023】

図7は、図8に示す回路図に示されたサリサイドブロック型NMOSトランジスタ144の構成例を示す図で、同図（a）はその平面図であり、同図（b）は、同図（a）中のC-C線に沿った要部断面図である。

【0024】

同図に示すように、絶縁層としてのP型半導体基板151上に、内部に埋め込み酸化膜を有するシリコン152が形成されたSOI基板上に、MOSプロセスでNMOSトランジスタが作られている。

【0025】

ソース（又はドレイン）領域154とドレイン（又はソース）領域153、155による不純物拡散層の一部領域、及びボディ領域156、157の上層に酸化膜160、161を介して形成されたポリシリコンのゲート電極158、159上には、シリサイドの形成過程で、サリサイドブロック領域162a、162bに設けられたサリサイドブロック

によってシリサイドが形成されず、その領域外のみに、それぞれ抵抗の低いシリサイド 170, 171, 172 が形成されている。

【0026】

これらのシリサイドの上層には層間絶縁層 163 が形成され、更にこの層上には、シリサイド 170 と対向して延在する接続部 164a、シリサイド 172 と対向して延在する接続部 164b、及びこれら接続部 164a、164b を連結する連結部 164c からなるドレイン（ソース）メタル配線 164 と、シリサイド 171 と対向して延在するソース（ドレイン）メタル配線 165 と、2つのゲート電極 158, 159 を電気的に結合するゲートメタル配線 167 とが形成されている。

【0027】

更に、層間絶縁層 163 には、シリサイド 170 と接続部 164a とを複数箇所で電気接続するためのコンタクト 175、シリサイド 172 と接続部 164b とを複数箇所で電気接続するためのコンタクト 176、シリサイド 171 とソース（ドレイン）メタル配線 165 とを複数箇所で電記接続するためのコンタクト 177、及び2つのゲート電極 158, 159 とゲートメタル配線 167 とを電気接続するためのコンタクト 178 とが形成されている。以上のように、最終段出力トランジスタとして用いられるサリサイドブロック型 NMOS トランジスタ 144 は、ここではゲート幅 W の大きいサリサイドブロック型トランジスタが2つ並列に配置される構造となっている。

【0028】

このようにゲート幅 W が大きいトランジスタをサリサイドブロック型トランジスタにすると、ゲート信号が接続されるゲートメタル配線 167 側から遠い箇所に位置するゲート電極部では、ゲード電極のポリシリコンの抵抗が大きいため、抵抗 147（図 8）に相当する非常に大きなゲート抵抗が必然的に挿入されることになり、高速動作が要求されるデバイスでは、最終段出力トランジスタでのゲート遅延時間が大きくなるのは避けなければならない。

【0029】

従って、理想的には、図 7 に示すサリサイドブロック型 NMOS トランジスタ 144 において、ゲート電極 158, 159 上にのみ低抵抗のシリサイド層を形成する構造とすればよいが、この場合サリサイドブロックとゲート電極のマスク合わせ精度を考慮すると、どうしてもゲート電極 158, 159 近傍のドレイン又はソース上部にもシリサイド層が形成されてしまい、ESG 耐性を低下させることになる。尚、前記したように、特許文献 1 には、この対策として、ゲート電極上にシリサイド層を形成することなく、ゲート抵抗を小さくするための一方法が開示されている。

【0030】

本発明は、以上の技術的背景のもとになされ、且つ前記した従来技術の問題点を解消するものである。

【0031】

実施の形態 1.

図 1 は、本発明の実施の形態 1 の半導体装置を構成するサリサイドブロック型 NMOS トランジスタを示す平面図であり、図 2 (a) は、図 1 中の D-D 線に沿った断面図であり、図 2 (b) は、同じく図 1 中の E-E 線に沿った断面図である。

【0032】

これらの図に示すように、この半導体装置は、半導体基板、例えば P 型シリコン基板 2 と、その上に形成された埋め込み酸化膜 3 と、その上に形成され、素子分離層としてフィールド酸化膜 4 により互いに分離された 2 つのシリコン薄膜層 10, 11 とを有する。

【0033】

図示の例では、活性領域を構成するシリコン薄膜層 10 及び 11 は、各々図面（図 1）上縦方向に長い矩形状に形成され、互いに平行にかつ互いに隣接して配置されている。

【0034】

一方のシリコン薄膜層 10 内には不純物拡散により N⁺ 型の第 1 の拡散領域 5 と第 2 の

拡散領域6と、これら第1の拡散領域5と第2の拡散領域6の間に位置し、図面上縦方向に伸びたP-型のチャンネル領域7が形成されている。チャンネル領域7の上には、ゲート酸化膜8を介してポリシリコンのゲート電極9が形成されている。

【0035】

同様に、他方のシリコン薄膜層11内には不純物拡散によりN+型の第1の拡散領域13及び第2の拡散領域14と、これら第1の拡散領域13と第2の拡散領域14の間に位置し、図面(図1)上縦方向に伸びたP-型のチャンネル領域15とが形成されている。チャンネル領域15の上には、ゲート酸化膜16を介してポリシリコンのゲート電極17が形成されている。

【0036】

第1の拡散領域及び第2の拡散領域は、一方がソース領域となり、他方がドレイン領域となるが、以下の説明では、便宜上第1の拡散領域5及び13がソース領域となるものとし、第2の拡散領域6及び14がドレイン領域となるものとする。

【0037】

ゲート電極9とゲート電極17とは、図面上横方向、即ちゲート長方向に伸びた複数の結合部23により互いに結合されている。結合部23は、ゲート電極9及び17と同じ材料で、同時に一体的乃至連続的に形成される。

【0038】

結合部23とシリコン薄膜層10及び11、及びフィールド酸化膜4の間に、結合部22が形成されている。結合部22は、ゲート酸化膜8及び16と同じ材料で、同時に一体的乃至連続的に形成される。

【0039】

薄膜10内の、結合部23及び22の下に位置する帯状部分21は、チャンネル領域7と同じくP-型であり、チャンネル領域7と連続している。この結果、ソース領域5は、図面上横方向、即ちゲート長方向に伸びた複数の帯状の部分21により複数のソース領域部分に分割されている。

【0040】

同様に、薄膜11内の、結合部23及び22の下に位置する帯状の部分21は、チャンネル領域15と同じくP-型であり、チャンネル領域15と連続している。この結果、ソース領域13は、図面上横方向、即ちゲート長方向に伸びた複数の帯状の部分21により複数のソース領域部分に分割されている。

【0041】

製造に当たっては、ゲート電極9及び17、及び結合部23を含むポリシリコンのパターンを形成した後、これをマスクとしてゲート酸化膜8及び16、及び結合部22を形成し、次にこれらをマスクとして拡散領域5、6、13、14を形成することで、薄膜10、11内の、ゲート電極9及び17、及び結合部23で覆われた部分にチャンネル領域7及び15、及び帯状部分21が形成される。

【0042】

チャンネル領域7及び15と帯状部分21によりボディ領域が構成されている。

【0043】

次に下記の所定領域にシリサイド、例えばチタンシリサイドを形成するが、その際に、ゲート電極9とその両サイドの不純物拡散層5、6の各一部領域、及びゲート電極17とその両サイドの不純物拡散層13、14の各一部領域上には、シリサイドの形成過程で、シリサイドブロック領域25、26に設けられたシリサイドブロックによってシリサイドが形成されない。そして、そのシリサイドブロック領域外の、不純物拡散層5、6、13、14及びポリシリコンの結合部23の各所定領域にそれぞれ抵抗の低いシリサイド29a(図2(a))、27、29b(図2(a))、28及び30(図2(b))が形成されている。尚、これらのシリサイドは互いに電気的に分離した状態に形成されている。

【0044】

上記した各構成要素の上には層間絶縁層31が形成されており、更にこの層間絶縁層3

1の層上には、シリサイド27と対向して延在する接続部33a、シリサイド28と対向して延在する接続部33b、及びこれら接続部33a、33bを連結する連結部33c（図1）からなるドレンインメタル配線33が形成されている。同じく層間絶縁層31の層上には、ソース領域5にかかるシリサイド29aに対向して延在する接続部32aとソース領域13にかかるシリサイド29bに対向して延在する接続部32b、及びこれら接続部32a、32bを連結する連結部32c（図1）からなるソースメタル配線32が形成されている。同じく層間絶縁層31の層上には、フィールド酸化膜層4の上部においてゲート電極9、17と平行に延在する入力信号配線としてのゲート電極メタル配線34が形成されている。

【0045】

また、層間絶縁層31には、シリサイド29aと接続部32aとを複数箇所で電気接続するためのコンタクト44、シリサイド29bと接続部32bとを複数箇所で電気接続するためのコンタクト45、シリサイド27と接続部33aとを複数箇所で電気接続するためのコンタクト42、シリサイド28と接続部33bとを複数箇所で電気接続するためのコンタクト43、及びシリサイド30とゲートメタル電極34とを複数箇所で電気接続するためのコンタクト41がそれぞれ形成されている。

【0046】

なお、上記のように、ソース領域5は、複数の部分に分割されているが、複数のコンタクト44は、少なくとも一つが、分割部分の各々にシリサイド29aを介して接続されるように設けられている。

【0047】

同様に、ソース領域13は、それぞれ複数の部分に分割されているが、複数のコンタクト45は、少なくとも一つが、分割部分の各々にシリサイド29bを介して接続されるように設けられている。

【0048】

シリコン薄膜層10に形成されたソース領域5及びドレンイン領域6、並びに薄膜10上のゲート電極9などにより、一つのサリサイドブロック型NMOSトランジスタ群が形成され、シリコン薄膜層11に形成されたソース領域13及びドレンイン領域14、並びに薄膜11上のゲート電極17などにより、もう一つのサリサイドブロック型NMOSトランジスタ群が形成されているが、ソース領域5とソース領域13とがソースメタル配線32などにより互いに接続され、ドレンイン領域6とドレンイン領域14とがドレンインメタル配線33などにより互いに接続され、ゲート電極9とゲート電極17とがともに、同じゲート電極配線34に接続されているので、これら2つのNMOSトランジスタ群は互いに並列接続されており、全体で一つのサリサイドブロック型NMOSトランジスタ1を構成していると見ることもできる。

【0049】

なお、シリコン基板2及び埋め込み酸化膜3の上には、他の回路素子が形成されているが、これらは図示されていない。

【0050】

以上のように構成されたサリサイドブロック型NMOSトランジスタ1は、例えば前記した図8に示すサリサイドブロック型NMOSトランジスタ144に代えて配設することにより、LSI内において出力回路の最終段出力トランジスタとして動作する。

【0051】

ポリシリコンのゲート電極9、17は、その延在方向において、略等間隔に複数形成された同じくポリシリコンの結合部23によって互いに接続され、各結合部23上に形成されたシリサイド30（図2（b））は、その中間部においてゲート電極メタル配線34とコンタクト41によって電気的に接続されている。更に、各結合部23上のシリサイド30は、サリサイドブロック領域25、26に至るまで形成されているため、ゲート電極メタル配線34とゲート電極9、17の各領域間の抵抗は小さく、且つ略均一に形成される。

【0052】

従って、このサリサイドブロック型NMOSトランジスタ1を、図8に示すサリサイドブロック型NMOSトランジスタ144に代えて配設する場合には、前記した抵抗147(図8)に相当するゲート抵抗を低くすることができる。

【0053】

尚、このサリサイドブロック型NMOSトランジスタ1では、ソース領域5, 13が、ボディ領域の一部をなす帯状部分21によって分断されるが、これらはコンタクト44, 45によって同電位に維持されるため、ESD耐性やトランジスタ特性に影響を及ぼすことはない。

【0054】

以上のように、本実施の形態1のサリサイドブロック型NMOSトランジスタ1によれば、先ず、ゲート電極及びゲート電極近傍のソース、ドレイン上に、シリサイド層が形成されないので、ブレークダウンが局所的に起こるのを防止し、ESD耐性を高めることができる。また、ゲート抵抗を低く抑え、ゲート遅延時間の増大を抑制することができる。

【0055】

更に、ゲート電極メタル配線34とゲート電極9, 17につながる結合部23を接続するコンタクト41を活性領域外に設けているため、レイアウト設計が比較的容易であるにもかかわらず、パッドを用いなくてもゲート電極下の酸化膜を破壊してしまう恐れがなく、製品の品質を高めることができる。

【0056】

実施の形態2.

図3は、本発明の実施の形態2の半導体装置を構成するサリサイドブロック型NMOSトランジスタ51の構成を示す平面図であり、図4(a)は、図3中のF-F線に沿った断面図であり、図4(b)は、同じく図3中のG-G線に沿った断面図である。実施の形態2のサリサイドブロック型NMOSトランジスタ51の説明に当たり、前記した実施の形態1のサリサイドブロック型NMOSトランジスタ1と共に通する部分には同符号を付して説明を省略し、異なる点を重点的に説明する。

【0057】

本実施の形態2のサリサイドブロック型NMOSトランジスタ51が、図1に示す前記した実施の形態1のサリサイドブロック型NMOSトランジスタ1と主に異なる点は、素子分離するためのフィールド酸化膜層4(図2)を設けることなく、ポリシリコン素材の配線部54を設けた点と、これに伴って、ソース(ドレイン)メタル配線56とゲート電極メタル配線57の形状及び配置が異なっている点である。

【0058】

また、実施の形態1における2つのシリコン薄膜10、11の代りに单一のシリコン薄膜層65が設けられ、これにより单一の活性領域59が形成されている。そして、薄膜65中の、後述の配線部54の下に、チャンネル領域7、15、帯状部分21と同じく、P-型の帯状の分離部52が形成され、この分離部52により、薄膜65が2つの領域65a, 65b(図3)に分離されている。領域65a, 65bの各々における拡散領域5、6、13、14、ボディ領域7、15、21の構成は実施の形態1と略同じである。分離部52は、帯状部分21と連続しており、チャンネル領域7、15、帯状部分21とともにボディ領域の一部をなす。言いかえると、分離部52は、ゲート電極9, 17の幅方向に延び、帯状部分21と交叉して連続している。

【0059】

配線部54は、ゲート電極9、17、結合部23と同じ材料で、同時に一体的乃至連続的に形成されるものである。言いかえると、配線部54は、結合部23と一体的に交わっている。

【0060】

配線部54の下に位置する酸化膜53は、ゲート酸化膜8、16、結合部22と同じ材料で、同時に一体的乃至連続的に形成されるものである。

【0061】

結合部23と配線部54とで、ゲート電極9、17とゲート電極メタル配線57とを接続する導電部が形成されている。

【0062】

次に下記の所定領域にシリサイドを形成するが、その際に、ゲート電極9とその両サイドの不純物拡散層5、6の各一部領域、及びゲート電極17とその両サイドの不純物拡散層13、14の各一部領域上には、シリサイドの形成過程で、シリサイドブロック領域25、26に設けられたシリサイドブロックによってシリサイドが形成されない。そしてそのシリサイドブロック領域外の、不純物拡散層領域5、6、13、14、及び配線部54とポリシリコンの結合部23の各所定領域に、それぞれ抵抗の低いシリサイド55a(図4(a))、27、55b(図4(a))、28、及び58(図4(b))が形成されている。尚、これらの符号の異なるシリサイドは互いに電気的に分離した状態に形成されている。

【0063】

上記した各構成要素の上には層間絶縁層60が形成されており、更にこの層間絶縁層60の層上には、シリサイド55a、55bと対向して延在するソースメタル配線56が形成され、更に図3に示すように、活性領域59外の図示しないフィールド酸化膜層上に延在する配線部54の端部54a上には、同じく図示しない絶縁層60(図4)を介してゲート電極メタル配線57が形成されている。

【0064】

また、層間絶縁層60には、ソース領域5上のシリサイド55aとソースメタル配線56とを複数箇所で電気接続するためのコンタクト61、ソース領域13上のシリサイド55bとソースメタル配線56とを複数箇所で電気接続するためのコンタクト62、及び配線部54の端部54a上のシリサイド58とゲート電極メタル配線57を電気的に接続するためのコンタクト63が形成されている。

【0065】

配線部54の下に位置する分離部52(ボディ領域)は、逆バイアスされたp-n接合を形成し、MOSトランジスタのソース領域5とMOSトランジスタのソース領域13とを互いに分離する。

【0066】

以上のように構成されたシリサイドブロック型NMOSトランジスタ51を、例えば前記した図8に示すシリサイドブロック型NMOSトランジスタ144に代えて配設することにより、LSI内において出力回路の最終段出力トランジスタとして動作する。

【0067】

ポリシリコンのゲート電極9、17は、その延在方向において、略等間隔に複数形成された同じくポリシリコンの結合部23及び配線部54を介してゲート電極メタル配線57(図3)に電気的に接続されている。更に、ポリシリコンの結合部23及び配線部54はシリサイドブロック領域25、26に至るまでのほとんどの領域でシリサイド層が形成されているため、ゲート電極メタル配線57とゲート電極9、17の各領域間の抵抗は小さく、且つ略均一に形成される。

【0068】

従って、このシリサイドブロック型NMOSトランジスタ51を、図8に示すシリサイドブロック型NMOSトランジスタ144に代えて配設する場合には、前記した抵抗147(図8)に相当するゲート抵抗を低くすることができる。

【0069】

尚、このシリサイドブロック型NMOSトランジスタ51では、ソース領域5、13が、ボディ領域の一部をなす分離部52及び帯状部分21によって分断されるが、これらはコンタクト61、62によって同電位に維持されるため、ESD耐性やトランジスタ特性に影響を及ぼすことはない。

【0070】

以上のように、本実施の形態2のサリサイドブロック型NMOSトランジスタ51によれば、先ず、ゲート電極及びゲート電極近傍のソース、ドレイン上に、シリサイド層が形成されないので、ブレークダウンが局所的に起こるのを防止し、ESD耐性を高い水準に維持できる。また、ゲート抵抗を低く抑え、ゲート遅延時間の増大を抑制することができる。

【0071】

更に、ゲート電極メタル配線57とゲート電極9, 17につながるシリサイド58を接続するコンタクト63を活性領域外に設けているため、レイアウト設計が比較的容易であるにもかかわらず、ゲート電極下の酸化膜を破壊してしまう恐れがなく、製品の品質を高めることができる。

【0072】

更に、前記した実施の形態1のサリサイドブロック型NMOSトランジスタ1のようにフールド酸化膜層4による素子分離層を設けることなく、複数のトランジスタを同一薄膜内に形成できる為、活性領域を分けてトランジスタを形成した実施の形態1の構成に比べて、回路面積を小さくすることが可能となる。

【0073】

実施の形態3.

図9は、本発明の半導体装置に基づく実施の形態3のサリサイドブロック型NMOSトランジスタ71の構成を示す断面図である。

【0074】

このサリサイドブロック型NMOSトランジスタ71は、P型半導体基板72上にP-ウェル(well)73が形成されたバルク(Bulk)基板上にMOSプロセスで、素子分離酸化膜74, 75, 76で素子分離されて互いに平行に形成された2つのNMOSトランジスタによって構成されている。そしてこのサリサイドブロック型NMOSトランジスタ71は、前記した図1、図2に示すサリサイドブロック型NMOSトランジスタ1のSOI基板を、バルク基板に代えて構成したものに相当する。

【0075】

従ってこのサリサイドブロック型NMOSトランジスタ71が、実施の形態1のサリサイドブロック型NMOSトランジスタ1と共に通する部分には同符号を付して、或いは図面を省いて説明を省略し、異なる点を重点的に説明する。尚、図9の断面図に示すサリサイドブロック型NMOSトランジスタ71の断面は、実施の形態1のサリサイドブロック型NMOSトランジスタ1において、その平面図である図1のD-D線に沿った図2(a)の断面図に示される部分の断面に対応するものである。

【0076】

図9に示すように、Bulk基板上にMOSプロセスでソース領域78、79、ドレイン領域77, 80、及びゲート電極81, 82が形成され、更に実施の形態1のサリサイドブロック型NMOSトランジスタ1と同様に、ゲート電極81, 82及びその両側のソース、ドレインの一部領域以外の領域にシリサイド83, 84a, 84b, 85が形成されている。

【0077】

このシリサイド83, 84a, 84b, 85を覆うように形成される層間絶縁層90、この層間絶縁層90上に形成されるソースメタル配線32a, 32b、ドレインメタル配線33a, 33b、ゲート電極メタル配線34、及び層間絶縁層90に形成されるコンタクト42, 43, 44, 45は、前記した実施の形態1の場合と、実質的に同様に形成されるため、ここでの説明は省略する。

【0078】

以上のように構成することによって、Bulk基板を用いたサリサイドブロック型NMOSトランジスタ71においても、前記した実施の形態1と同様の効果が得られるものである。

【0079】

尚、上記の実施の形態では、フィールド酸化膜4、ボディ領域52或いはPウエル73により2つのMOSトランジスタのソース領域を互いに分離しているが、これらは、配線により互いに接続されるものであるので、上記のような分離は必ずしも必要ではない。

【0080】

また各実施の形態では、NMOSトランジスタについてのみ説明したが、これに限定されるものではなく、SOI基板或いはBulk基板上にMOSプロセスでPMOSトランジスタ形成し（例えば図2における不純物拡散層N⁺及びP⁻をそれぞれP⁺及びN⁻とする）、PMOSトランジスタで構成してもよいなど、種々の態様を取りえるものである。

【0081】

また、前記した特許請求の範囲、又は実施の形態の説明において、「上」、「下」といった言葉を使用したが、これらは便宜上であって、半導体装置及び半導体集積回路装置を配置する状態における絶対的な位置関係を限定するものではない。

【図面の簡単な説明】

【0082】

【図1】本発明の半導体装置に基づく実施の形態1のサリサイドブロック型NMOSトランジスタの構成を示す平面図である。

【図2】(a)は図1中のD-D線に沿った断面図であり、(b)は同じく図1中のE-E線に沿った断面図である。

【図3】本発明の半導体装置に基づく実施の形態2のサリサイドブロック型NMOSトランジスタの構成を示す平面図である。

【図4】(a)は図3中のF-F線に沿った断面図であり、(b)は同じく図3中のG-G線に沿った断面図である。

【図5】SOI基板上に作製したサリサイド型NMOSトランジスタの要部構成を示し、(a)はその平面図であり(b)は(a)中のA-A線に沿った要部断面図である。

【図6】図6は、サリサイドブロック型NMOSトランジスタの要部構成を示し、(a)はその平面図であり、(b)は(a)中のB-B線に沿った要部断面図である。

【図7】サリサイドブロック型NMOSトランジスタの別の構成例を示す図で、(a)はその平面図であり、同図(b)は(a)中のC-C線に沿った要部断面図である。

【図8】LSI内において、最終段出力トランジスタとして用いられるサリサイドブロック型NMOSトランジスタの回路構成上の位置を示す要部回路図である。

【図9】本発明の半導体装置に基づく実施の形態3のサリサイドブロック型NMOSトランジスタの構成を示す断面図である。

【符号の説明】

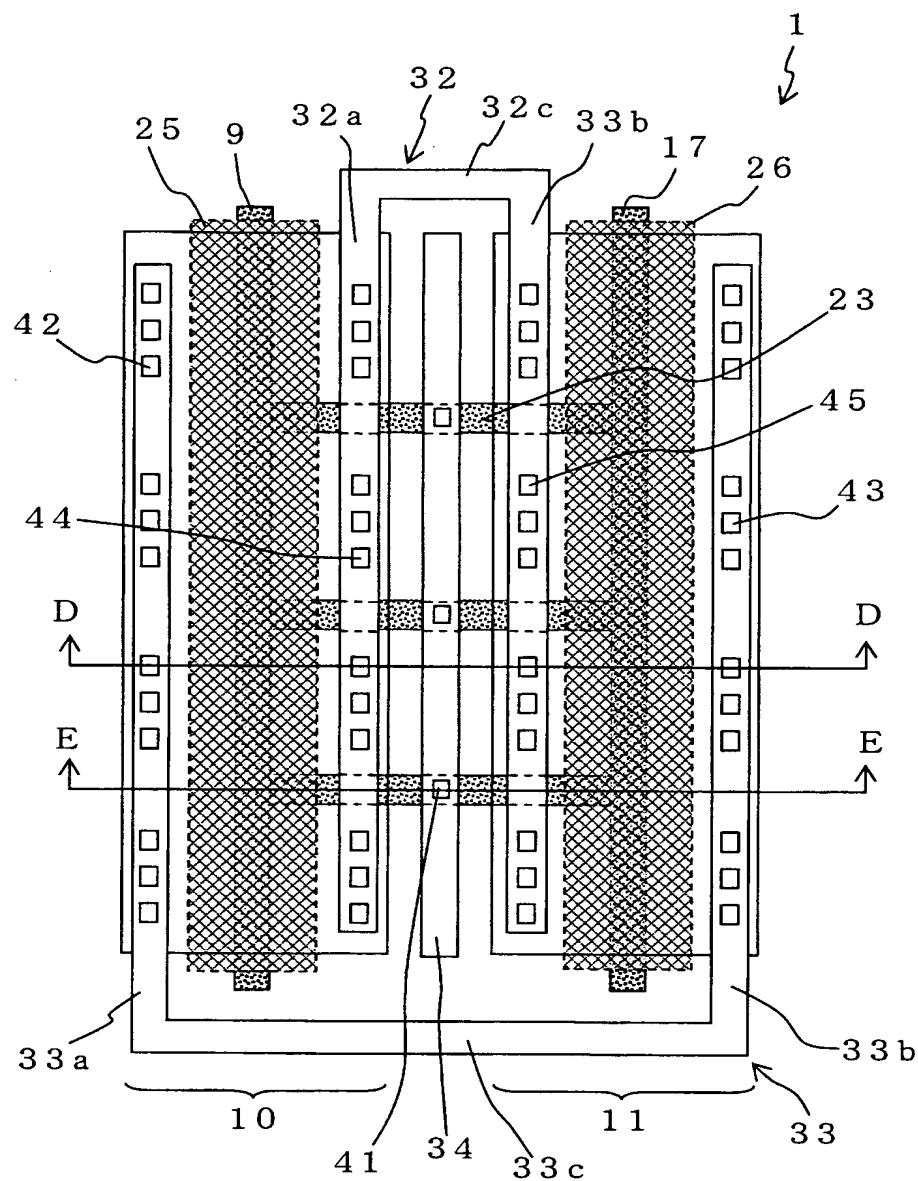
【0083】

1 サリサイドブロック型NMOSトランジスタ、 2 P型シリコン基板、 3 埋め込み酸化膜、 4 フィールド酸化膜層、 5 ソース(ドレイン)領域、 6 ドレイン(ソース)領域、 7 チャンネル領域、 8 ゲート酸化膜、 9 ゲート電極、 10, 11 シリコン薄膜層、 13 ソース(ドレイン)領域、 14 ドレイン(ソース)領域、 15 チャンネル領域、 16 ゲート酸化膜、 17 ゲート電極、 21 帯状部分、 22, 23 結合部、 25, 26 サリサイドブロック領域、 27, 28, 29, 30 シリサイド、 31 層間絶縁層、 32 ソース(ドレイン)メタル配線、 32a, 32b 接続部、 32c 連結部、 33 ドレイン(ソース)メタル配線、 33a, 33b 接続部、 33c 連結部、 34 ゲート電極メタル配線、 41, 42, 43, 44, 45 コンタクト、 51 サリサイドブロック型NMOSトランジスタ、 52 分離部、 53 酸化膜、 54 配線部、 54a 端部、 55a, 55b シリサイド、 56 ソース(ドレイン)メタル配線、 57 ゲート電極メタル配線、 58 シリサイド、 59 活性領域、 60 層間絶縁

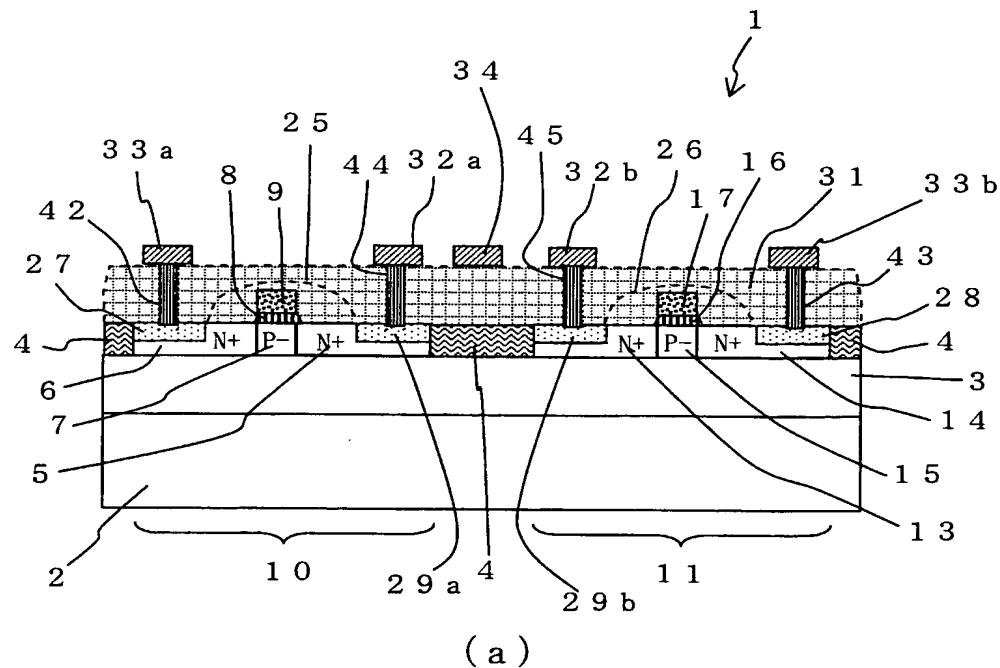
層、 61, 62, 63 コンタクト、 65 シリコン薄膜層 71 サリサイドブロック型NMOSトランジスタ、 72 P型半導体基板、 73 P-ウェル (well) 、 74, 75, 76 素子分離酸化膜、 77, 80 ドレイン (ソース) 領域、 78, 79 ソース (ドレイン) 、 81, 82 ゲート電極、 83, 84, 85 シリサイド、 90 層間絶縁層、 100 サリサイド型NMOSトランジスタ、 101 P型半導体基板、 102 埋め込み酸化膜、 103 ソース (ドレイン) 、 104 ドレイン (ソース) 、 105 ゲート電極、 106, 107, 108 シリサイド、 110, 111 PN接合表面部領域、 115 層間絶縁層、 116 コンタクト 、 130 サリサイドブロック型NMOSトランジスタ、 133 ソース (ドレイン) 、 134 ドレイン (ソース) 、 136, 137 シリサイド、 139 サリサイドブロック領域、 140 LSI、 141 保護回路、 142 出力端子、 143 サリサイドブロック型PMOSトランジスタ、 144 サリサイドブロック型NMOSトランジスタ、 145 内部回路領域、 147 ゲート抵抗、 151 P型半導体基板、 152 内部に埋め込み酸化膜を有するシリコン、 153, 155 ドレイン (ソース) 領域、 154 ソース (ドレイン) 領域、 156 ボディ領域、 157 ボディ領域、 158, 159 ゲート電極、 160, 161 酸化膜、 162a, 162b サリサイドブロック、 163 層間絶縁層、 164 ドレイン (ソース) メタル配線、 164a, 164b 接続部、 164c 連結部、 165 ソース (ドレイン) メタル配線、 170, 171, 172 シリサイド、 175, 176, 177, 178 コンタクト。

【書類名】 図面

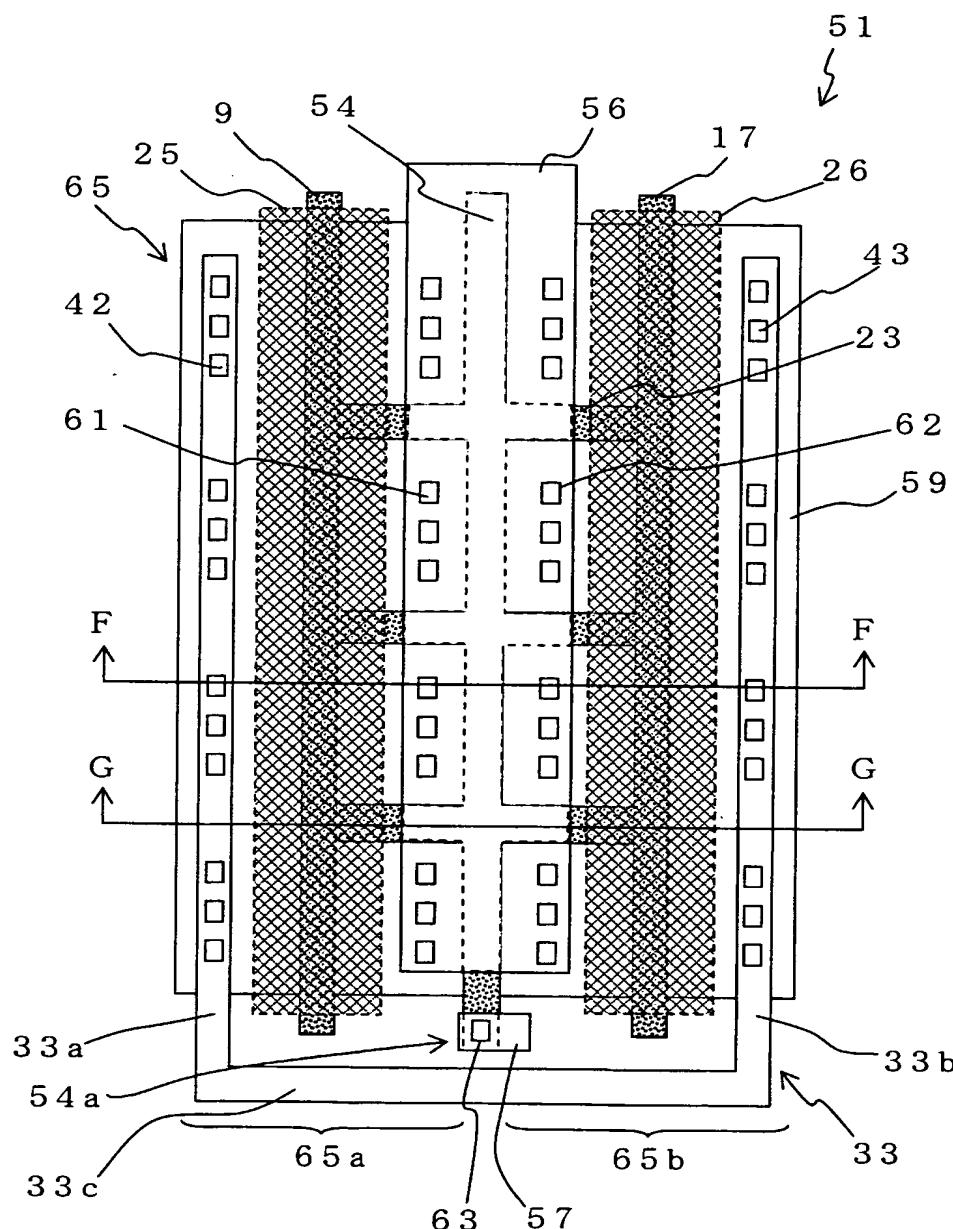
【図 1】



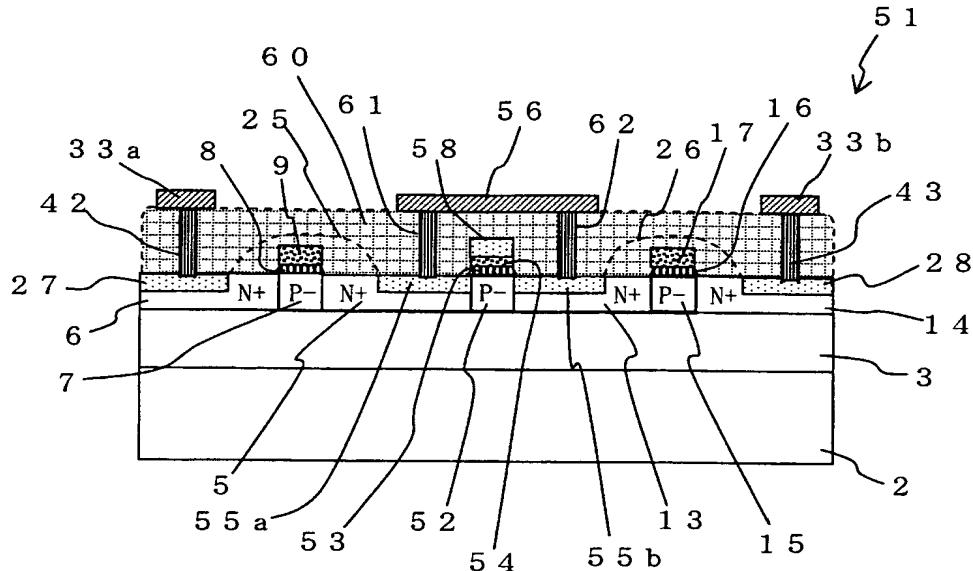
【図2】



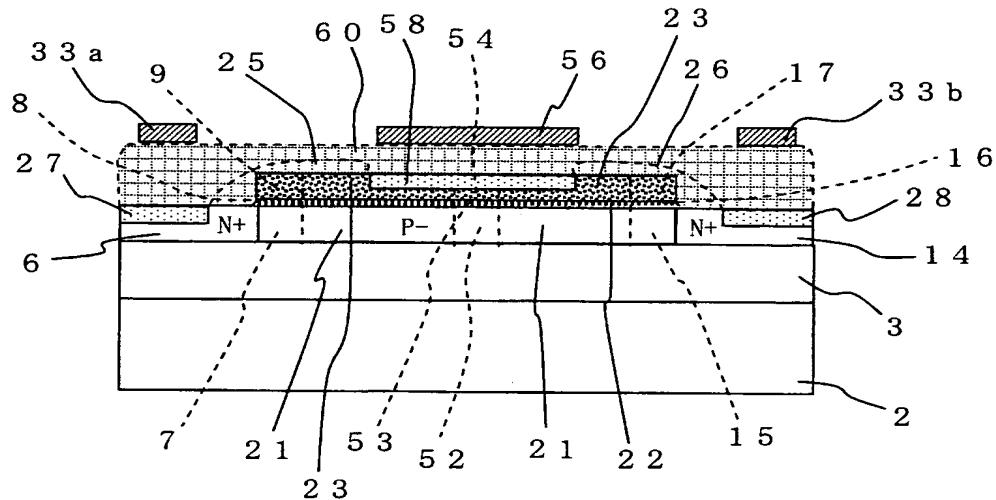
【図3】



【図4】

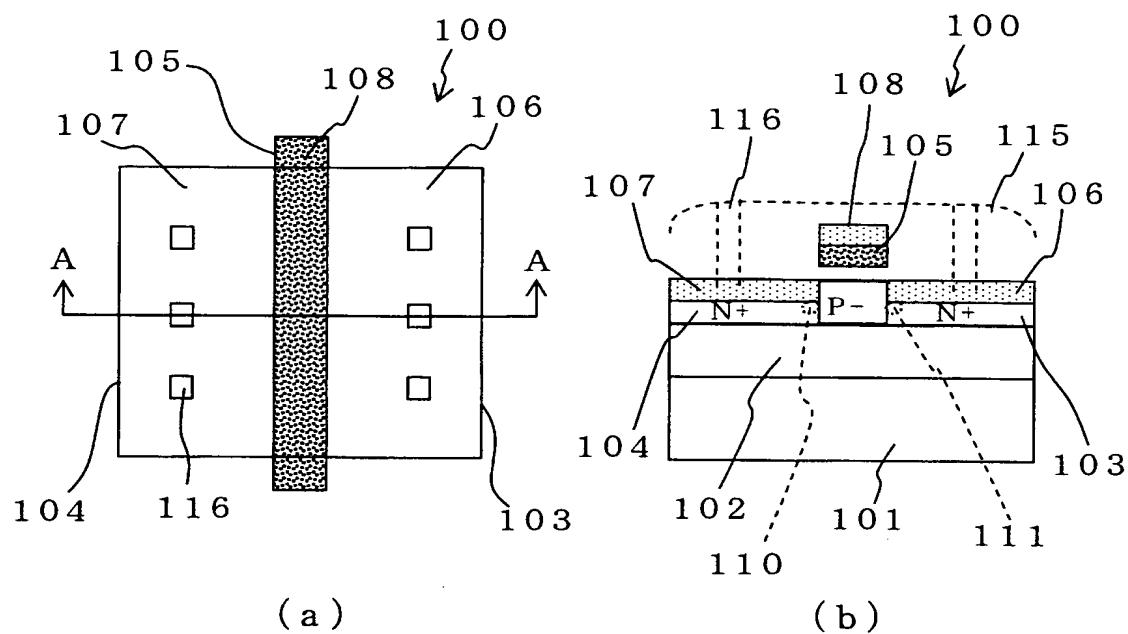


(a)

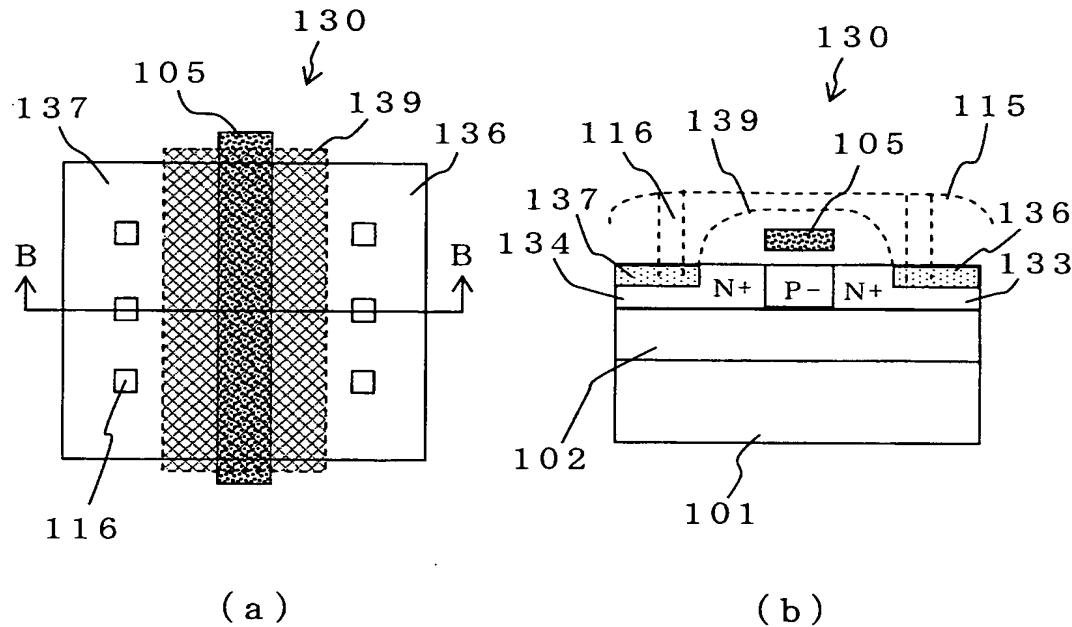


(b)

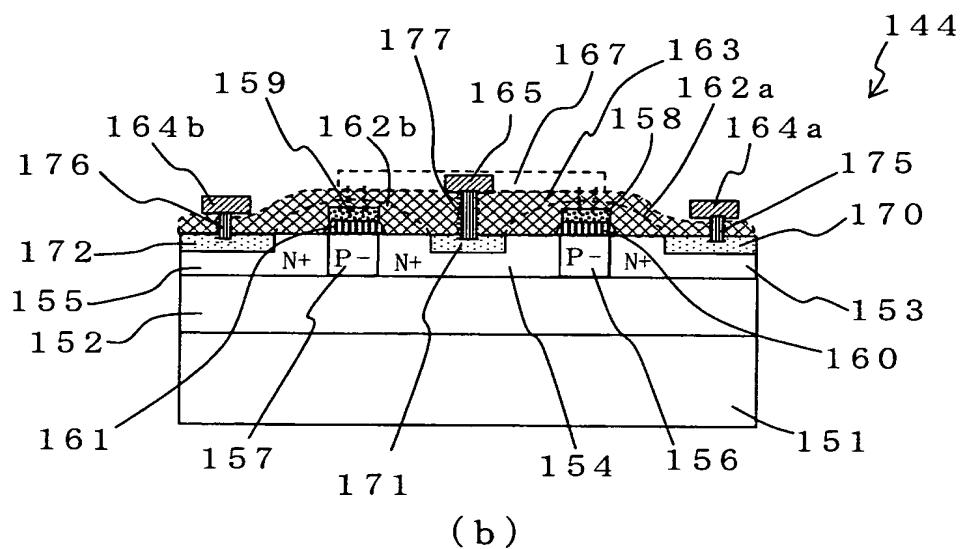
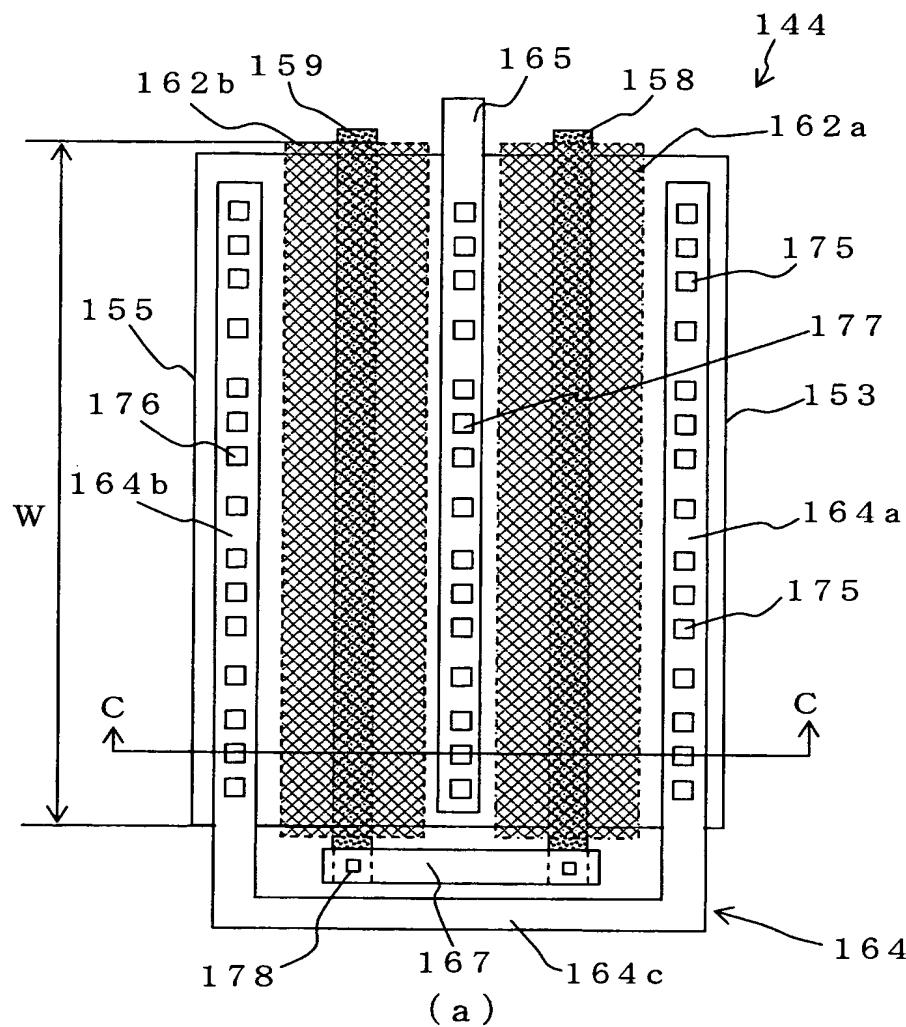
【図5】



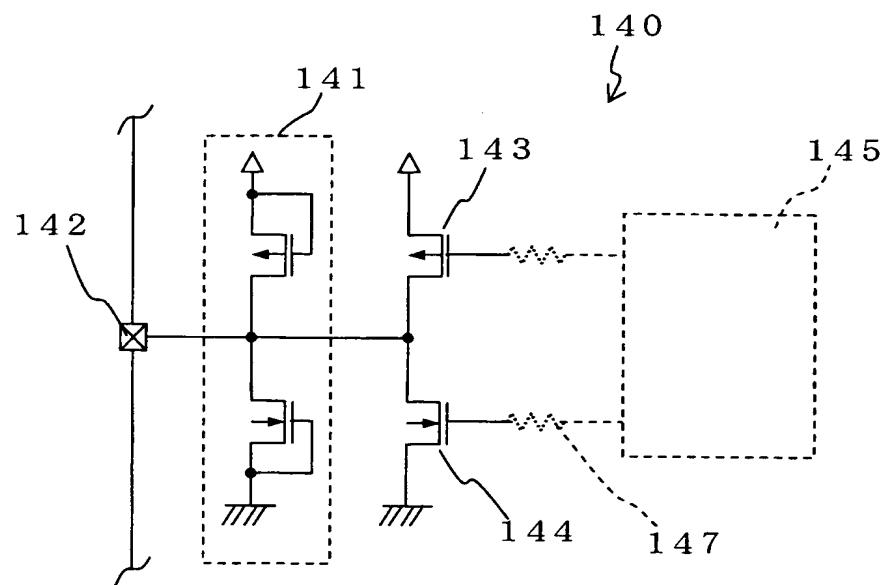
【図6】



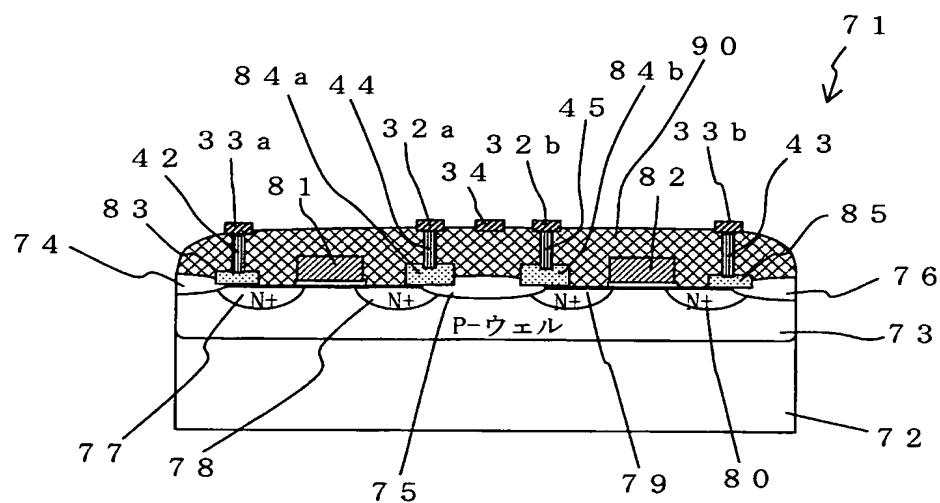
【図7】



【図8】



【図9】



【書類名】要約書

【要約】

【課題】 ESD耐性を高めるため、ゲート電極及び不純物拡散層の前記ゲート電極近傍の一部領域にシリサイド層を形成させないサリサイドブロック型MOSトランジスタが提案されているが、ゲート抵抗が大きくなってしまう問題があった。また、このゲート抵抗を低くする技術も提案されているが、構造が複雑となり、レイアウト設計が複雑化してしまう問題があった。

【解決手段】 ゲート電極9, 17の周辺にサリサイドブロック領域を設け、ゲート電極9, 17から、複数箇所において、活性領域10, 11外まで延在するポリシリコンの結合部23を形成し、この不活性領域に設けたコンタクト41によって、上層に配設されたゲート電極メタル配線34と電気的に接続する。

【選択図】 図1

特願 2003-311430

出願人履歴情報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 東京都港区虎ノ門1丁目7番12号
氏 名 沖電気工業株式会社